

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



Attorney Docket No. 5649-1194

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Se-ho Lee

Serial No.: 10/692,578

Filed: October 24, 2003

For: **PHASE CHANGEABLE LAYERS INCLUDING PROTRUDING PORTIONS  
IN ELECTRODES THEREOF AND METHODS OF FORMING SAME**

Examiner: Unknown

Group Art Unit: 2811

Confirmation No.: 9027

April 8, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2002-0065456, filed October 25, 2002.

Respectfully submitted,

Elizabeth A. Stanek  
Registration No. 48,568

**USPTO Customer No. 20792**  
Myers Bigel Sibley & Sajovec  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: 919/854-1400  
Facsimile: 919/854-1401

**CERTIFICATE OF MAILING UNDER 37 CFR 1.8 (or 1.10)**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on April 8, 2004.

  
Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0065456  
Application Number

출원 년 월 일 : 2002년 10월 25일  
Date of Application

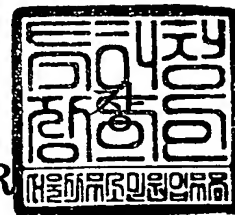
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      09      월      01      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 10. 25
【발명의 명칭】	상변환 기억셀들 및 그 제조방법들
【발명의 영문명칭】	PHASE CHANGEABLE MEMORY CELLS AND METHODS OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이세호
【성명의 영문표기】	LEE, SE HO
【주민등록번호】	721220-1057066
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산 24번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 589,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

상변환 기억셀들 및 그 제조방법들을 제공한다. 이 셀들은 반도체 기판 상에 형성된 하부전극들과, 하부전극들을 갖는 반도체 기판 상에 형성된 층간절연막과, 층간절연막을 관통하여 확장되어 각 하부전극들에 접속된 복수개의 정보저장 요소들을 포함한다. 각 정보저장 요소들은 하부전극의 소정깊이까지 확장되어, 그 측면의 일부분이 하부 전극과 접한다. 이 셀들의 제조방법은 반도체 기판 상에 복수개의 하부전극들을 형성하고, 하부전극들을 갖는 반도체 기판 상에 층간절연막을 형성하고, 층간절연막을 패터닝하여 각 하부전극들의 일부분을 노출시키는 복수개의 콘택홀들을 형성고, 각 콘택홀들 내에 노출된 하부전극들을 소정깊이 식각한다. 각 콘택홀들 내에 상변환막을 채워 각 하부전극들과 접속된 복수개의 정보저장 요소들을 형성한다.

**【대표도】**

도 11



**【명세서】**

**【발명의 명칭】**

상변환 기억셀들 및 그 제조방법들{PHASE CHANGEABLE MEMORY CELLS AND METHODS OF FABRICATING THE SAME}

**【도면의 간단한 설명】**

도 1은 일반적인 상변환 기억소자의 단위 셀을 나타낸 등가회로도이다.

도 2는 상변환 기억 셀의 기입 및 소거동작을 설명하기 위한 그래프이다.

도 3은 종래의 상변환 기억 소자의 정보저장 요소를 나타낸 단면도이다.

도 4 및 도 5는 각각 본 발명의 바람직한 실시예에 따른 상변환 기억 셀의 정보저장 요소를 나타낸 단면도들이다.

도 6 내지 도 11은 본 발명의 바람직한 실시예에 따른 상변환 기억 셀의 제조방법을 설명하기 위한 공정단면도들이다.

도 12는 본 발명의 바람직한 실시예에 따른 상변환 기억 소자의 단면도이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 비휘발성 기억소자 및 그 제조방법에 관한 것으로, 특히 상변환 기억셀들 및 그 제조방법에 관한 것이다.

<8> 비휘발성 메모리 소자들은 그들의 전원이 차단될지라도 그들 내에 저장된 데이터들이 소멸되지 않는 특징을 갖는다. 이러한 비휘발성 메모리소자들은 적층 게이트 구조(stacked gate structure)를 갖는 플래쉬 기억 셀들을 주로 채택하고 있다. 상기 적층 게이트 구조는 채널 상에 차례로 적층된 터널산화막, 부유게이트, 게이트 층간 유전체막(inter-gate dielectric layer) 및 제어게이트 전극을 포함한다. 따라서, 상기 플래쉬 기억 셀들의 신뢰성 및 프로그램 효율을 향상시키기 위해서는 상기 터널산화막의 막질이 개선되어야 하고 셀의 커플링 비율이 증가되어야 한다.

<9> 상기 플래쉬 메모리소자들 대신에 새로운 비휘발성 기억소자들, 예컨대 상변환 기억소자들이 최근에 제안된 바 있다.

<10> 도 1은 상기 상변환 기억소자들의 단위 셀의 등가회로도를 보여준다.

<11> 도 1을 참조하면, 상기 상변환 기억 셀은 하나의 액세스 트랜지스터( $T_A$ ) 및 하나의 가변저항체(C)로 구성된다. 상기 가변저항체(C)는 하부전극, 상부전극 및 그들 사이에 개재된 상변환 물질막(phase changeable material layer)로 구성된다. 상기 가변저항체(C)의 상기 상부전극은 플레이트 전극(PL)과 접속된다. 또한, 상기 액세스 트랜지스터( $T_A$ )는 상기 하부전극과 접속된 소오스 영역, 상기 소오스 영역과 이격된(spaced apart) 드레인 영역, 상기 소오스 영역 및 상기 드레인 영역 사이의 채널영역 상에 위치하는 게이트 전극을 포함한다. 상기 액세스 트랜지스터( $T_A$ )의 상기 게이트 전극 및 드레인 영역은 각각 워드라인(WL) 및 비트라인(BL)에 접속된다. 결과적으로, 상기 상변환 기억 셀의 등가회로는 디램셀의 등가회로도와 유사하다. 그러나, 상기 상변환 물질막의 성질은 상기 디램 셀

에 채택되는 유전체막의 성질과 전혀 다르다. 즉, 상기 상변환 물질막은 온도에 따라 2개의 안정된 상태(two stable states)를 갖는다.

<12> 도 2는 상기 상변환 기억 셀을 프로그램 및 소거시키는 방법을 설명하기 위한 그래프이다. 여기서, 가로축은 시간(T)을 나타내고, 세로축은 상기 상변환 물질막에 가해지는 온도(TMP)를 나타낸다.

<13> 도 2를 참조하면, 상기 상변환 물질막을 용융온도(melting temperature;  $T_m$ )보다 높은 온도에서 제1 기간(first duration;  $T_1$ )동안 가열한 후에 냉각시키면, 상기 상변환 물질막은 비정질 상태(amorphous state)로 변환한다(1). 이에 반하여, 상기 상변환 물질막을 상기 용융온도( $T_m$ )보다 낮고 결정화온도(crystallization temperature;  $T_c$ )보다 높은 온도에서 상기 제1 기간( $T_1$ )보다 긴 제2 기간(second duration;  $T_2$ )동안 가열한 후에 냉각시키면, 상기 상변환 물질막은 결정상태(crystalline state)로 변환한다(2). 여기서, 비정질 상태를 갖는 상변환 물질막의 비저항은 결정질 상태를 갖는 상변환 물질막의 비저항보다 높다. 따라서, 읽기 모드에서 상기 상변환 물질막을 통하여 흐르는 전류를 감지(detection)함으로써, 상기 상변환 기억 셀에 저장된 정보가 논리 '1'인지 또는 논리 '0'인지를 판별(discriminate)할 수 있다. 상기 상변환 물질막으로는 게르마늄(Ge), 텔루리움(tellurium; Te) 및 스티비움(stibium; Sb)을 함유하는 화합물막(compound material layer; 이하 'GTS막'이라 함)이 널리 사용된다.

<14> 도 3은 종래의 상변환 기억 셀의 정보저장 요소를 나타낸 단면도이다.

<15> 도 3을 참조하면, 종래의 상변환 기억소자는 반도체 기판에 형성된

하부전극(12)과 상기 하부전극을 갖는 반도체 기판 상에 형성된 층간절연막(14) 및 상기 층간절연막(14)을 관통하여 상기 하부전극(12)에 접속된 콘택플러그(16)를 포함한다. 상기 층간절연막(14) 상에 상기 콘택플러그(16)에 접속된 상변환막(18)이 형성되고, 상기 상변환막(18) 상에 상부전극(20)이 접속된다. 도시된 것과 같이, 종래의 상변환 소자는 상기 상변환막(18)이 상기 콘택 플러그(16) 상에 형성되어, 상기 상변환막(18) 및 상기 콘택 플러그(16)는 법선방향이 수직인 접촉면을 가진다. 상기 콘택 플러그(16)와 상기 상변환막(18)의 접촉면에서 접촉저항에 의해 열이 발생되면 상기 접촉면의 중앙부분은 높은 열이 유지되지만, 상기 접촉면의 가장자리(A)의 열은 주변의 상기 층간절연막(14)으로 확산되어 상태변화에 필요한 온도가 되지 않을 수 있다. 이로 인하여, 상기 상변환물질을 비정질화시킬때 상기 접촉면 가장자리의 상변환막(18)이 비정질화되지 않은 비정상적 영역이 생성될 수 있다. 그결과, 도시된 것과 같이 상기 콘택 플러그(16)와 상기 상변환막(18) 사이의 계면의 가장자리(A)의 비정질화되지 않은 영역을 통하여 전자(e)가 유출되어 저장된 정보의 판별의 정확도가 낮아지는 문제를 유발할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 열원(heater)과 상변환막의 접촉면 가장자리의 열 손실을 보충할 수 있는 구조를 가진 상변환 기억 셀들 및 그 제조방법을 제공하는 데 있다.

<17> 본 발명이 이루고자 하는 다른 기술적 과제는, 하부전극과 상변환물질막 사이의 간격이 좁은 상변환 기억 셀들 및 그 제조방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<18>      상기 기술적 과제들을 달성하기 위하여 본 발명은 3차원적인 열 접촉면을 가지는 상변환 기억셀들을 제공한다. 이 셀들은 반도체 기판 상에 형성된 하부전극들과, 상기 하부전극들을 갖는 반도체 기판 상에 형성된 층간절연막과, 상기 층간절연막을 관통하여 확장되어 상기 각 하부전극들에 접속된 복수개의 정보저장 요소들을 포함한다. 상기 정보저장 요소들을 갖는 반도체 기판 상에 상기 각 정보저장 요소들의 상부면과 접속된 복수개의 상부전극들이 형성된다. 본 발명의 상기 각 정보저장 요소들은 상기 하부전극의 소정깊이까지 확장되어, 그 측면의 일부분이 상기 하부 전극과 접한다.

<19>      상기 기술적 과제들을 달성하기 위하여 본 발명은 3차원적인 열 접촉면을 가지는 상변환 기억셀들의 제조방법을 제공한다. 이 방법은 반도체 기판 상에 복수개의 하부전극들을 형성하고, 상기 하부전극들을 갖는 반도체 기판 상에 층간절연막을 형성하고, 상기 층간절연막을 패터닝하여 상기 각 하부전극들의 일부분을 노출시키는 복수개의 콘택홀들을 형성하는 것을 포함한다. 상기 각 콘택홀들 내에 노출된 하부전극들을 소정깊이 식각한다. 상기 각 콘택홀들 내에 채워져 상기 각 하부전극들과 접속된 복수개의 정보저장소소를 형성하고, 상기 각 정보저장 요소들 상에 형성된 복수개의 상부전극들을 형성한다.

<20>      본 발명에서, 상기 정보저장요소들은 상기 콘택홀들 내에 채워진 상변화막으로 형성된다. 이 때, 상기 각 콘택홀들 내의 상기 상변화막의 하부측벽의 일부는 상기 각 하부전극에 접하도록 형성함으로써 3차원적인 열접촉면을 가지는 상변환 기억 셀들을 형성할 수 있다.

<21> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 '상'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<22> 도 4 및 도 5는 본 발명의 바람직한 실시예에 따른 상변환 기억셀의 정보저장 요소를 나타낸 단면도들이다.

<23> 도 4를 참조하면, 본 발명에 따른 상변환 기억셀은 반도체 기판 상에 형성된 하부전극(52)과 상기 하부전극(52) 상에 형성된 층간절연막(54)을 포함한다. 상기 층간절연막(54)은 상기 하부전극(52) 상에 콘택홀(60)을 가진다. 상기 층간절연막(54) 상에 상변환막(62)이 형성되어 있고, 상기 상변환막(62)은 상기 콘택홀(60)을 통하여 확장되어 상기 하부전극(52)과 접속된다. 상기 상변환막(62)은 상기 하부전극(52)의 소정깊이(L)까지 확장되어 그 측벽의 일부분이 상기 하부전극(52)과 접한다. 즉, 상기 상변환막(62)과 상기 하부전극(52)은 3차원적인 접촉면을 가진다. 상기 상변환막(62) 상에 상부전극(64)이 형성된다.

<24>      상기 하부전극(52)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)으로 형성하는 것이 바람직하다. 상기 상부전극(64) 또한 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)으로 형성하는 것이 바람직하다.

<25>      도 5를 참조하면, 기입 또는 소거 동작시 상기 하부전극(52)과 상기 상변환막(62)의 접촉면에서 열이 발생하면 상기 상변환막(62)의 상태가 비정질 또는 결정질로 변화된다(66). 본 발명의 상변환 기억 셀은 상기 하부전극(52)과 상기 상변환막(62)이 3차원적인 접촉면을 가지기 때문에 주변으로 열이 분산되기 쉬운 접촉면 가장자리에 측방향 접촉면에서 발생한 열(①)과 하부 접촉면에서 발생한 열(②)을 전달할 수 있다. 즉, 상기 접촉면의 가장자리에 상기 접촉면의 중앙보다 많은 열이 전달되어 손실되는 열을 보충할 수 있다. 따라서, 상기 접촉면의 가장자리에서 발생한 열이 상기 층간절연막으로 분산되더라도, 접촉면의 가장자리에 충분한 열이 전달되기 때문에 상변환물질의 상태를 변환시킬 수 있다. 상기 상변환막(62)이 상기 하부전극(52)으로 확장된 깊이(L)는 접촉면에서 발생된 열이 전달되어 상변환막의 상태가 변할 수 있는 임계거리보다 얇은 것이 바람직하다.

<26>      도 6 내지 도 11은 본 발명의 바람직한 실시예에 따른 상변환 기억 셀의 제조방법을 설명하기 위한 공정단면도들이다.

<27>      도 6을 참조하면, 반도체 기판 상에 하부전극(52)을 형성한다. 상기 하부전극은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘

질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)으로 형성하는 것이 바람직하다. 상기 하부전극(52) 상에 층간절연막(54)을 형성하고, 상기 층간절연막(54)을 패터닝하여 상기 하부전극(52)의 일부분을 노출시키는 콘택홀(60)을 형성한다. 계속해서, 상기 콘택홀(60)에 의해 노출된 상기 하부전극(52)을 소정깊이(L) 식각한다. 상기 콘택홀(60)은 상부폭이 하부폭보다 넓게 형성할 수도 있다.

<28> 도 7을 참조하면, 상기 하부전극(52) 상에 층간절연막(54)을 형성하고, 상기 층간절연막(54) 상에 포토레지스트 패턴(56)을 형성한다. 상기 포토레지스트 패턴(56)은 상기 하부전극(52) 상부의 상기 층간절연막(54)의 일부분을 노출시킨다. 상기 포토레지스트 패턴(56)을 식각마스크로 사용하여 상기 층간절연막(54)의 일부를 식각하여 리세스 영역(58)을 형성한다. 이 때, 상기 층간절연막(54)은 등방성 식각을 사용하여 식각함으로써, 상기 리세스 영역(58)은 상기 상기 노출된 층간절연막의 폭보다 넓은 폭을 갖도록 형성할 수 있다.

<29> 도 8을 참조하면, 상기 포토레지스트 패턴(56)을 식각마스크로 사용하여 상기 층간절연막(54)을 식각하여 상기 하부전극(52)을 노출시킨다. 상기 층간절연막(54)은 이방성 식각을 사용하여 식각한다. 그 결과, 상기 하부전극(52)의 일부분을 노출시키는 콘택홀(60)이 형성된다. 상기 콘택홀(60)은 등방성 식각과 이방성 식각을 순차적으로 사용하여 형성하였기 때문에 그 상부의 폭이 하부폭보다 넓게 형성할 수 있다. 상기 콘택홀(60)의 하부폭을 넓게 형성하는 것은 상기 콘택

홀 내에 물질이 잘 매립될 수 있도록하기 위함이다. 계속해서, 상기 하부전극(52)을 소정의 깊이(L)까지 식각한다. 상기 하부전극(52)의 식각깊이(L)는 접촉면에서 발생한 열에 의해 상변환막의 상태가 변할 수 있는 임계거리, 즉 상변환 영역의 폭보다 얇거나 같게 식각하는 것이 바람직하다.

<30> 도 9 및 도 10을 참조하면, 상기 포토레지스트 패턴(56)을 제거한다. 계속해서, 상기 층간절연막(54) 상에 상변환막(62)을 형성한다. 상기 상변환막(62)은 상기 콘택홀(60)을 통하여 확장되어 상기 하부전극(52)과 접한다. 상기 하부전극(52)을 소정깊이(L)까지 식각했기 때문에 상기 상변환막(62)은 상기 하부전극(52)과 접하는 측벽을 가진다.

<31> 도 11을 참조하면, 상기 상변환막(62) 상에 도전막(64)을 형성한다. 상기 도전막(64)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)으로 형성하는 것이 바람직하다.

<32> 이어서, 상기 도전막(64) 및 상기 상변환막(62)을 패터닝하여 상기 하부전극(52) 상에 상변환패턴 및 상부전극으로 구성된 정보저장 요소를 형성할 수 있다.

<33> 도 12는 본 발명의 바람직한 실시예에 따른 상변환 셀들을 나타낸 단면도이다.

<34> 도 12를 참조하면, 본 발명의 바람직한 상변환 기억 셀들은 일반적인 디램 소자와 유사한 구조를 가질 수 있다. 상변환 기억 셀들은 디램소자의 커패시터

대신에 상변환물질로 이루어진 정보저장 요소를 가진다. 본 발명에 따른 상변환 기억 셀들의 형성방법은 반도체 기판(30)에 소자분리막(36)을 형성하여 활성영역을 한정하고, 상기 활성영역(36)을 가로지르는 한쌍의 평행한 워드라인들(38)을 형성하는 것을 포함한다. 상기 워드라인들(38) 양옆에 위치하는 활성영역에 불순물 영역들을 형성한다. 상기 워드라인들(38) 사이의 상기 활성영역에 형성된 불순물 영역은 공통 드레인 영역(40)에 해당하고, 상기 공통 드레인 영역(40) 양옆의 불순물 영역들은 소오스 영역들(42)에 해당한다. 상기 소자분리막(36), 상기 워드라인들(38), 상기 소오스 영역들(42) 및 상기 공통 드레인 영역(40)을 갖는 반도체 기판(30)의 전면에 제1 층간절연막(48)을 형성하고, 상기 제1 층간절연막(48) 상에 상기 공통 드레인 영역(40)과 전기적으로 접속된 비트라인(4)을 형성한다. 도면에서 상기 비트라인(44)의 일부분만 나타내었으나, 상기 비트라인(44)은 상기 제1 층간절연막(48) 상부를 가로지른다. 상기 비트라인(44)이 형성된 반도체 기판의 전면에 제2 층간절연막(50)을 형성하고, 상기 제2 층간절연막(50) 및 상기 제1 층간절연막(48)을 관통하여 상기 각 소오스 영역들(42)과 전기적으로 접속된 스토리지 노드 플러그들(46)을 형성한다. 상기 각 스토리지 노드 플러그들(46) 상에 하부전극(52)을 형성한다. 상기 하부전극(52)은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)으로 형성하는 것이 바람직하다. 상기 하부전극(52)을 포함하는 반도체 기판의 전면에 제3 층간절연막(54)을 형성한다. 이어서, 도 6 내지 도 9를 참조하여 설명한 것과 같은방법으로 상기 제3 층간절연막(54) 상에 상기

각 하부전극들(52)에 접속된 정보저장 요소들(65)을 형성한다. 상기 정보저장 요소들(65)은 각각 상변환 패턴(62a) 및 상부전극(64a)으로 구성된다.

<35> 이와 다른 방법으로, 상기 하부전극(52)을 형성하지 않고, 상기 상변환 패턴(62a)이 상기 스토리지 노드 플러그(46)과 전기적으로 접속되도록 형성할 수도 있다. 이 경우, 상기 스토리지 노드 플러그(46)는 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 또는 탄탈륨 실리콘 질화막(TaSiN)으로 형성하는 것이 바람직하다. 즉, 상기 스토리지 노드 플러그(46)가 상기 하부전극이 된다. 이후, 상기 스토리지 노드 플러그(46)를 포함하는 기판의 전면에 제3 층간절연막(54)을 형성하고, 도 6 내지 도 9를 참조하여 설명한 방법으로 콘택 홀을 형성하고, 상기 스토리지 노드 플러그(46)를 소정깊이만큼 식각함으로써 하부전극과 상변환막의 3차원적인 접촉면을 형성할 수 있다.

#### 【발명의 효과】

<36> 상술한 것과 같이 본 발명에 따르면, 상변환막이 하부전극의 소정깊이까지 연장됨으로써 상기 상변환막의 측벽의 일부 및 하부면이 상기 하부전극과 접촉된 3차원적인 접촉면을 가진다. 따라서, 주변의 층간절연막으로 열이 분산되기 쉬운 접촉면의 가장자리에는 하부 접촉면 및 측벽 접촉면에서 발생한 열이 전달된다. 결과적으로 접촉면 가장자리의 열손실을 하부 접촉면에서 전달된 열이 보충함으로써, 접촉면의 중앙의 온도와 가장자리의 온도 편차를 줄여 접촉면 가장자리의 상변환막이 비정질화되지않는 것을 막을 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 형성된 하부전극들;

상기 하부전극들을 갖는 반도체 기판 상에 형성된 층간절연막;

상기 층간절연막을 통하여 확장되어 상기 각 하부전극들에 접속된 복수개의 정보저장 요소들을 포함하되,

상기 각 정보저장 요소들은 상기 하부전극의 소정깊이까지 확장되어, 그 측면의 일부분이 상기 하부 전극과 접하는 것을 특징으로 하는 상변환 기억 셀들.

**【청구항 2】**

제1 항에 있어서,

상기 반도체 기판 상에 형성된 하부층간절연막;

상기 하부층간절연막을 관통하여 상기 반도체 기판의 소정영역에 접속된 복수개의 스토리지 노드 플러그들을 더 포함하되,

상기 하부전극은 상기 스토리지 노드 플러그 상에 형성되어, 상기 스토리지 노드와 접속된 것을 특징으로 하는 상변환 기억 셀들.

**【청구항 3】**

제1 항에 있어서,

상기 반도체 기판 상에 형성된 하부층간절연막을 더 포함하되,

상기 하부전극은 상기 하부층간절연막을 관통하여 상기 반도체 기판에 직접 접속된 것을 특징으로 하는 상변환 기억 셀들.

**【청구항 4】**

제1 항에 있어서,

상기 하부전극은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 및 탄탈륨 실리콘 질화막(TaSiN)의 그룹중 선택된 하나 것을 특징으로 하는 상변환 기억 셀들.

**【청구항 5】**

제1 항에 있어서,

상기 정보저장요소들은 상기 하부전극과 전기적으로 접속된 상변환 패턴; 및

상기 상변환 패턴 상에 형성된 상부전극을 포함하는 것을 특징으로 하는 상변환 기억 셀들.

**【청구항 6】**

제5 항에 있어서,

상기 상부전극은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 및 탄탈륨 실리콘 질화막(TaSiN)의 그룹 중 선택된 하나로 형성된 것을 특징으로 하는 상변환 기억 셀들.

**【청구항 7】**

반도체 기판 상에 복수개의 하부전극들을 형성하는 단계;

상기 하부전극들을 갖는 반도체 기판 상에 층간절연막을 형성하는 단계;

상기 층간절연막을 패터닝하여 상기 각 하부전극들의 일부분을 노출시키는 복수개의 콘택홀들을 형성하는 단계;

상기 각 콘택홀들 내에 노출된 하부전극들을 소정깊이 식각하는 단계; 및

상기 층간절연막 상에 상기 하부전극들의 식각된 영역들 및 상기 각 콘택홀들 내에 채워져 상기 하부전극과 접속된 복수개의 정보저장 요소들을 형성는 단계를 포함하는 상변환 기억 셀들의 제조방법.

#### 【청구항 8】

제7 항에 있어서,

상기 콘택홀들을 형성하는 단계는,

상기 층간절연막의 일부를 등방성 식각하여 상기 각 하부전극들 상에 리세스 영역을 형성하는 단계; 및

상기 리세스 영역들의 상기 층간절연막을 이방성 식각하여 상기 각 하부전극들의 일부분을 노출시키는 콘택홀을 형성하는 단계를 포함하되,

상기 각 하부전극들의 노출된 폭은 상기 리세스 영역의 폭보다 좁은 것을 특징으로 하는 상변환 기억 셀들의 제조방법.

#### 【청구항 9】

제7 항에 있어서,

상기 콘택홀들을 형성하는 단계는,

상기 층간절연막상에 포토레지스트 패턴을 형성하되, 상기 포토레지스트 패턴은 상기 각 하부전극들의 상부의 상기 층간절연막의 일부분을 노출시키는 단계;

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 층간절연막의 일부를 등방성 식각하여 리세스 영역들을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 층간절연막을 이방성 식각하여 상기 각 하부전극들의 일부분을 노출시키는 단계;및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 상변환 기억 셀들의 제조방법.

#### 【청구항 10】

제7 항에 있어서,

상기 정보저장요소들을 형성하는 단계는,

상기 콘택홀들이 형성된 기판의 전면에 상기 하부전극들의 식각된 영역들 및 상기 콘택홀들을 채우는 상변환막을 형성하는 단계;

상기 상변환막 상에 도전막을 형성하는 단계;및

상기 도전막 및 상기 상변환막을 순차적으로 패터닝하여 상기 상기 각 하부전극들에 접속된 상변환 패턴 및 상기 각 상변환패턴들 상에 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 상변환 기억 셀들의 제조방법.

#### 【청구항 11】

제10 항에 있어서,

상기 도전막은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 및 탄탈륨 실리콘 질화막(TaSiN)의 그룹 중 선택된 하나로 형성하는 것을 특징으로 하는 상변환 기억 셀들의 제조방법.

【청구항 12】

제7 항에 있어서,

상기 하부전극은 타이타늄 질화막(TiN), 타이타늄 알루미늄 질화막(TiAlN), 타이타늄 실리콘 질화막(TiSiN), 탄탈륨 알루미늄 질화막(TaAlN), 및 탄탈륨 실리콘 질화막(TaSiN)의 그룹 중 선택된 하나로 형성하는 것을 특징으로 하는 상변환 기억 셀들의 제조방법.

【청구항 13】

제7 항에 있어서,

상기 하부전극을 형성하는 단계는,

반도체 기판 상에 하부충간절연막을 형성하는 단계; 및

상기 하부충간절연막을 관통하여 상기 반도체 기판의 소정영역에 접속된 복수개의 하부전극들을 형성하는 단계를 포함하는 상변환 기억 셀들의 제조방법.

【청구항 14】

제7 항에 있어서,

상기 하부전극을 형성하기 전에,

상기 반도체 기판에 소오스 영역, 드레인 영역 및 게이트 전극을 포함하는 복수개의 트랜지스터들을 형성하는 단계;

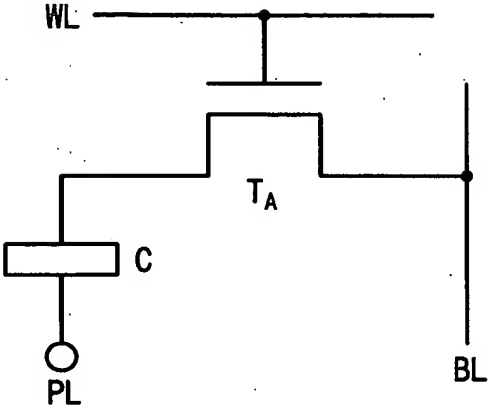
상기 트랜지스터들을 갖는 반도체 기판에 하부충간절연막을 형성하는 단계 ; 및

상기 하부충간절연막을 관통하여 상기 각 소오스 영역들에 접속된 복수개의 스토리지 노드 플러그들을 형성하는 단계를 더 포함하되,

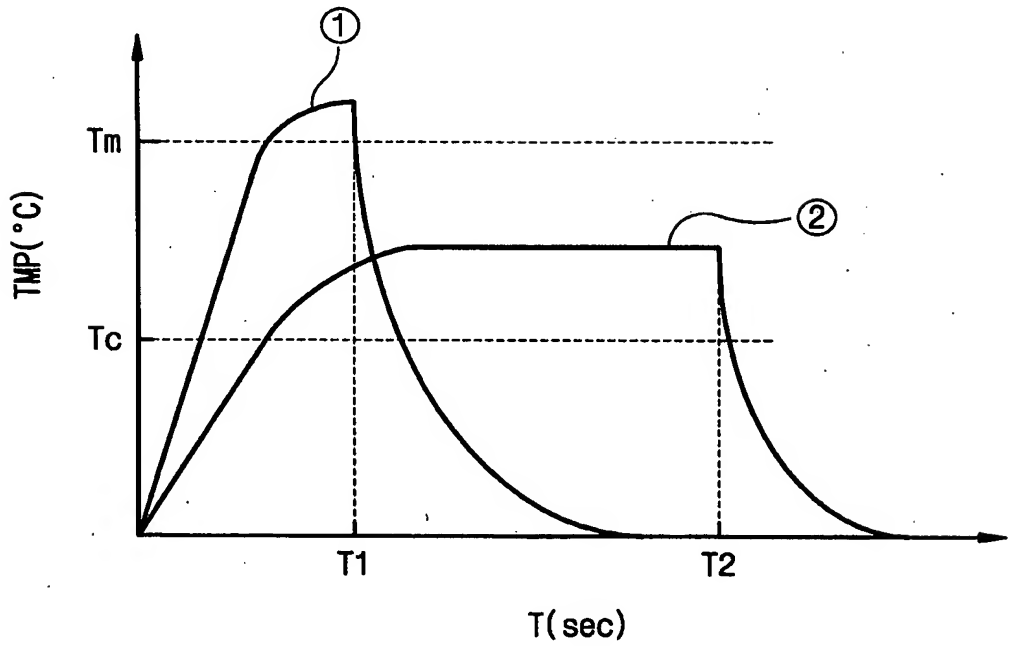
상기 각 하부전극들은 상기 각 스토리지 노드 플러그들 상에 형성하는 것을 특징으로 하는 상변환 기억 셀들의 제조방법.

【도면】

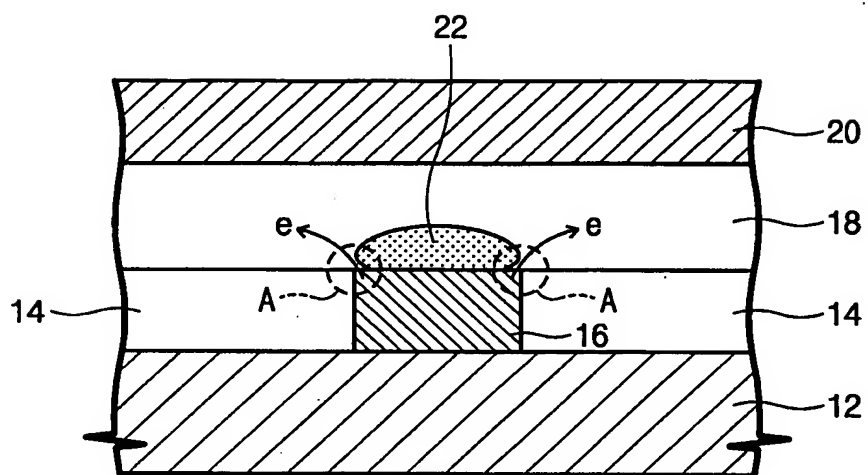
【도 1】



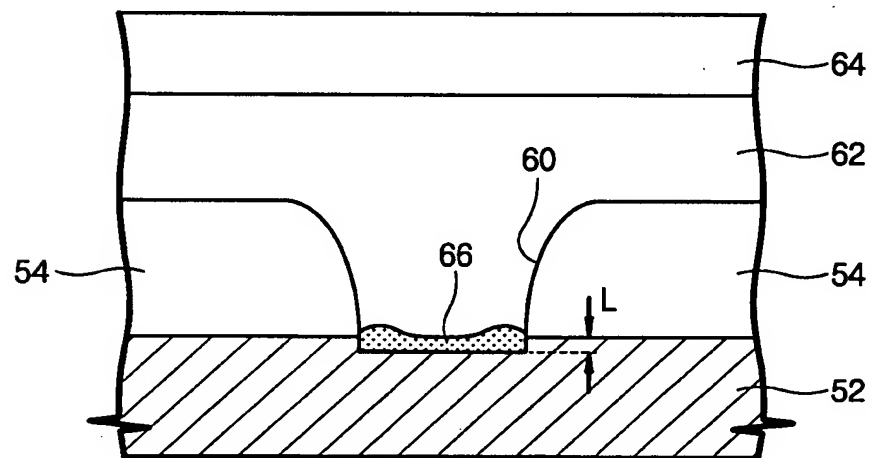
【도 2】



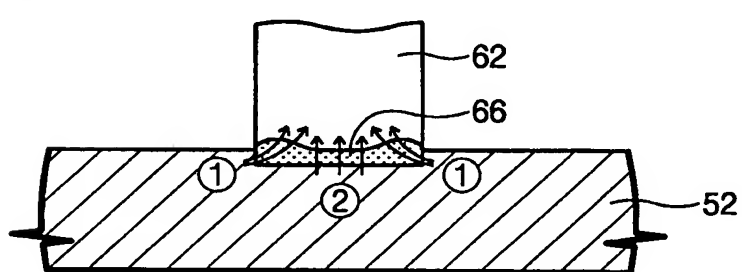
【도 3】



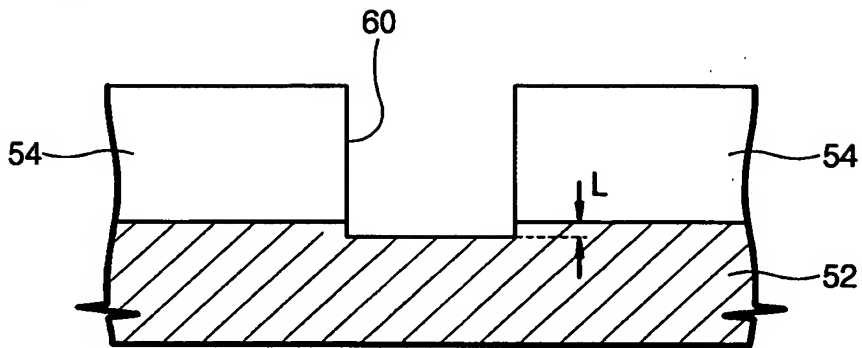
【도 4】



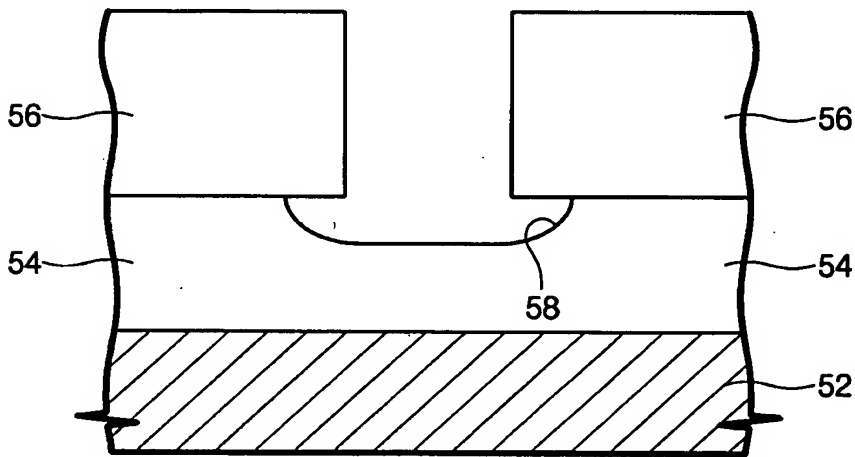
【도 5】



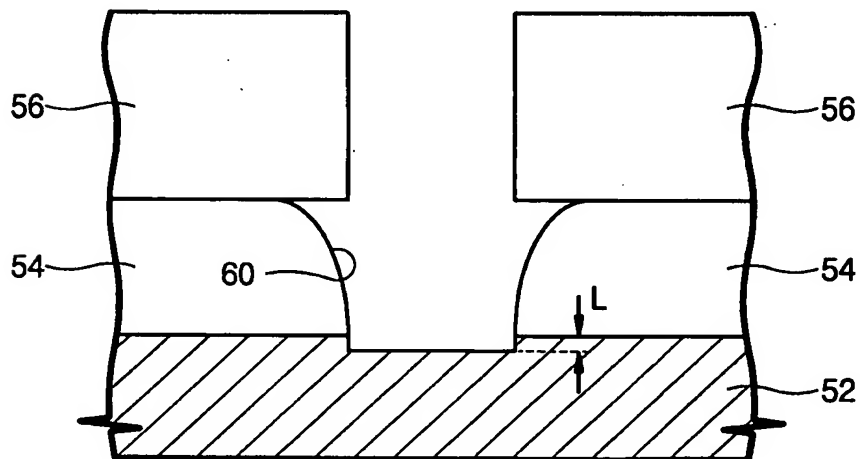
【도 6】



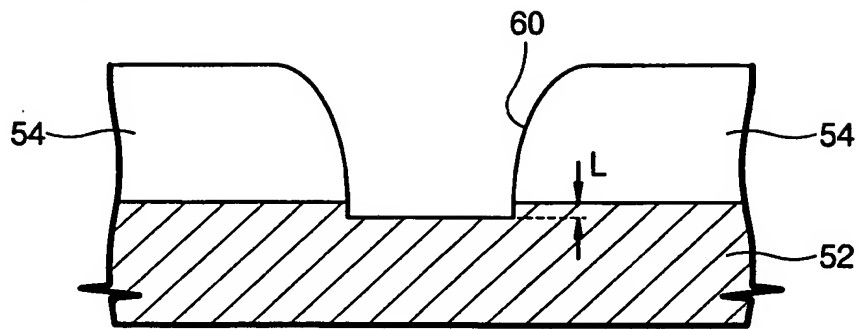
【도 7】



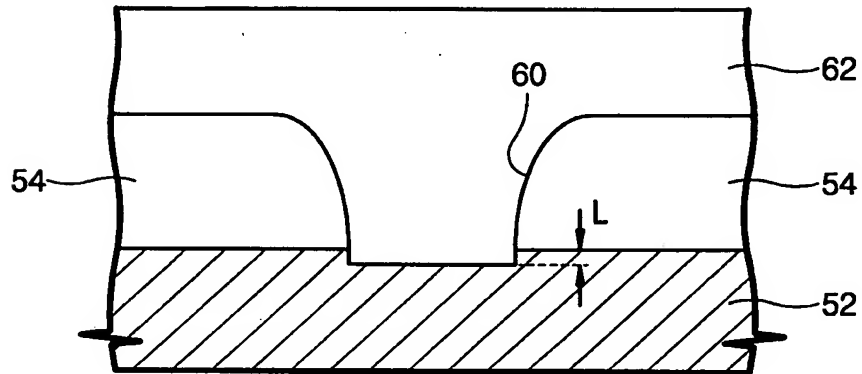
【도 8】



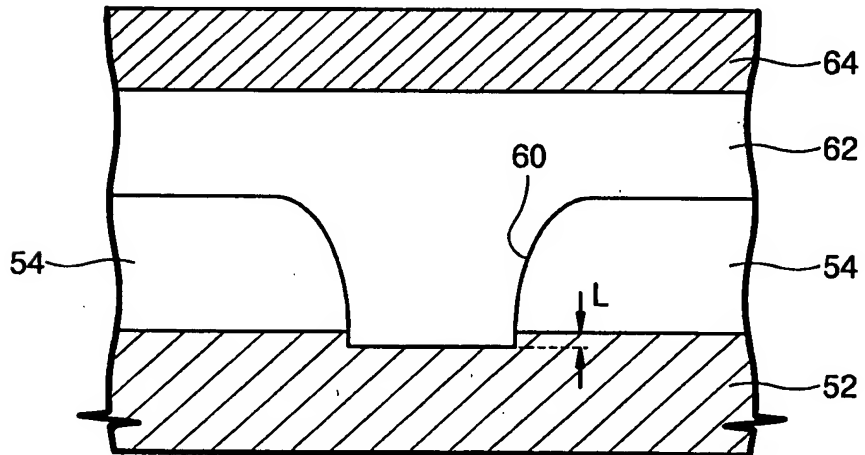
【도 9】



【도 10】



【도 11】



This cross-sectional view shows a semiconductor device with a central channel region 44. The channel is flanked by side gates 46, which are separated by a central gate 40. The side gates are connected to a common gate terminal 38. The device is surrounded by a substrate 30 and a top layer 65. The side gates are formed by a stack of layers 48, 50, 52, and 54. The central gate is formed by a stack of layers 42, 38, 40, 38, and 42. The top layer 65 is composed of two regions 62a and 64a. The device is shown in a cross-section with a central channel and side gates, with various layers and regions labeled with reference numerals.